

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-326299

(P2001-326299A)

(43) 公開日 平成13年11月22日 (2001. 11. 22)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 1 L 23/12

H 0 1 L 21/02

A

21/02

23/12

L

21/301

21/78

M

審査請求 有 請求項の数17 O L (全 10 頁)

(21) 出願番号 特願2000-146012 (P2000-146012)

(22) 出願日 平成12年5月18日 (2000. 5. 18)

(71) 出願人 500224531

株式会社アイ・イー・ピー・テクノロジーズ

東京都八王子市東浅川町550番地の1

(72) 発明者 若林 猛

東京都八王子市東浅川町550番地の1 株式会社アイ・イー・ピー・テクノロジーズ内

(72) 発明者 桑原 治

東京都八王子市東浅川町550番地の1 株式会社アイ・イー・ピー・テクノロジーズ内

(74) 代理人 100096699

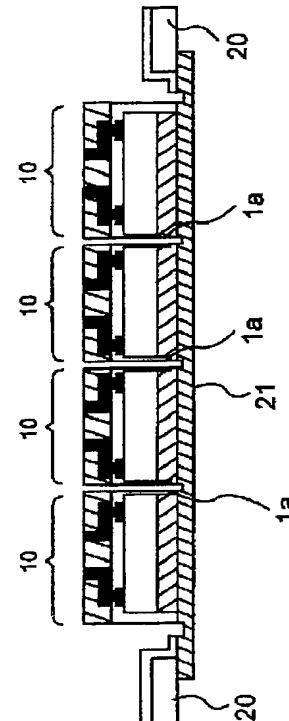
弁理士 鹿嶋 英貴

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 信頼性を向上することができる半導体装置およびその製造方法を実現する。

【解決手段】 ウエハ1の背面を覆うように裏面側保護膜11を形成してからウエハ1を個片化する箇所に予めダイシングを施して切削溝1aを刻設しておき、その後ウエハ1の表面および側面を覆うと共に、切削溝1aを充填する表面側保護膜3を形成し、続いて再配線5、ポスト6および表面側保護膜7を設けた後、切断面に所定厚の表面側保護膜3が残るように切削溝1a部分を再度ダイシングして半導体装置10を形成するので、個片化された半導体装置10は背面、表面および側面が全て保護膜3、11で覆われることになり、この結果、チップ破損や露出面からの水分浸透等、信頼性を低下させる要因を除去でき、信頼性が向上する。



【特許請求の範囲】

【請求項 1】 表面に複数の柱状電極が形成されたシリコン基板と、

前記シリコン基板の背面を覆う裏面側保護膜と、

前記シリコン基板の前記各柱状電極を除く表面および側面を覆うと共に、このシリコン基板を個片に切断した時の切断面を覆うように形成された表面側保護膜とを具備することを特徴とする半導体装置。

【請求項 2】 前記裏面側保護膜と表面側保護膜は主成分が実質的に同一な材料を含むものであることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記シリコン基板は、前記各柱状電極に接続された接続パッドを有することを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記表面側保護膜は、前記各接続パッドを露出する開口部を有する第 1 の表面側保護膜と、該第 1 の表面側保護膜上に形成された第 2 の表面保護膜とを含み、

前記第 1 の表面側保護膜上に前記各柱状電極に接続される再配線が形成されていることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記第 2 の表面側保護膜は、前記裏面側保護膜および前記表面側保護膜と主成分が実質的に同一な材料を含むものであることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 前記裏面側保護膜の表面に装置属性のマーキングが設けられていることを特徴とする請求項 1 ～ 5 記載の半導体装置。

【請求項 7】 前記第 1 の表面側保護膜を感光性樹脂を用いて形成することを特徴とする請求項 1 ～ 6 記載の半導体装置。

【請求項 8】 シリコン基板の背面を覆う裏面側保護膜を形成する第 1 の工程と、

前記シリコン基板を個片化する箇所に切削溝を設け、その後当該シリコン基板の表面および側面を覆うと共に、前記切削溝を充填する表面側保護膜を形成する第 2 の工程と、

前記表面側保護膜が切断面に残るように、前記切削溝より狭い幅でシリコン基板を個片に切断する第 3 の工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 9】 前記シリコン基板の表面に複数の柱状電極が形成され、前記表面側保護膜は前記各柱状電極を除く前記シリコン基板の表面を覆って形成することを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 10】 前記裏面側保護膜は、前記シリコン基板の背面に被着して形成することを特徴とする請求項 8 または 9 記載の半導体装置の製造方法。

【請求項 11】 前記第 1 の工程は、支持部材上に前記裏面側保護膜を形成し、該裏面側保護膜に前記シリコン基板の背面を被着する工程を含むことを特徴とする請求

項 8 または 9 記載の半導体装置の製造方法。

【請求項 12】 前記第 1 の工程は、前記シリコン基板をダイシングテープ上に装着する工程を含むことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 13】 前記第 1 の工程は、表面側に電極を設けた前記シリコン基板の背面側を切削研磨してから前記裏面側保護膜を形成し、この裏面側保護膜上に装置属性をマーキングすることを特徴とする請求項 8 ～ 12 記載の半導体装置の製造方法。

【請求項 14】 前記第 1 の工程は、切削研磨されたシリコン基板の背面側に装置属性をマーキングした後、支持部材に塗布された樹脂材上に当該シリコン基板の背面側を貼り合わせて前記裏面側保護膜を形成することを特徴とする請求項 8 ～ 12 に記載の半導体装置の製造方法。

【請求項 15】 前記第 2 の工程は、前記表面側保護膜を感光性樹脂を用いて形成することを特徴とする請求項 8 ～ 14 記載の半導体装置の製造方法。

【請求項 16】 シリコン基板の背面を覆う裏面側保護膜を形成する第 1 の工程と、

前記シリコン基板をチップに個片化する切削溝を設けた後、個片化されたチップを所定の配置間隔に並び替え、並び替えられた各チップの表面および側面を覆う表面側保護膜を形成する第 2 の工程と、
前記表面側保護膜が切断面に残るように、チップ間を切断する第 3 の工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 17】 前記第 2 の工程は、個片化されたチップの内から良品を選別して並び替えを行うことを特徴とする請求項 16 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CSP (Chip Size Package) 構造の半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、チップとパッケージのサイズがほぼ等しくなる CSP 構造の半導体装置が知られている。図 13～図 16 はこの種の半導体装置である、ウエハレベル CSP の製造方法の一例を示す断面図である。以下、これら図面を参照してその製造工程について説明する。

【0003】半導体装置は、まず図 13 に図示するように、ウエハ (シリコン基板) 1 の表面 (回路面) 側にアルミ電極等からなる複数の接続パッド (アルミ電極) 2 を形成した後、図示していないが、各接続パッド 2 の中央部を露出するように、ウエハ 1 の表面側全面を覆う酸化シリコンや窒化シリコン等で形成された保護皮膜を形成する。そして、この保護被膜の上に、各接続パッド 2 の中央部分が開口するよう表面側保護膜 3 を形成する。

表面側保護膜 3 は、例えばウエハ 1 の回路面側全面にポリイミド系樹脂材を塗布硬化させた後に、エッチング液を用いてレジストパターンニングおよび保護膜パターンニングを施してからレジスト剥離することで形成される。

【0004】次に、表面側保護膜 3 が形成する開口部 4 を介して露出される各接続パッド 2 上に再配線 5 を形成する。再配線 5 は、後述する如く、切断されて個片化された各半導体装置の各接続パッド 2 に接続された柱状電極（後述のポスト 6）を中央部にマトリクス上に配列することにより、各半導体装置の周辺部のみに形成された接続パッド 2 のピッチおよび電極面積を広げ、回路基板とのボンディング強度および接続の信頼性を向上するためのものである。

【0005】再配線 5 を形成した後は、再配線 5 上の所定箇所に複数のポスト（柱状電極）6 を設ける。ポスト 6 は、例えば $100 \sim 150 \mu\text{m}$ 程度の厚さでポスト形成用のレジストを塗布硬化させ、レジストパターンニングを施し、これにより開口された部分に電解メッキを施すことで形成される。こうして、図 13 に図示する構造となったら、図 14 に図示するように、ポスト 6 を覆うように、ウエハ 1 の回路面側全体をエポキシ等の樹脂材によってモールドし表面側保護膜 7 を形成する。そして、この表面側保護膜 7 を硬化させた後、ウエハ 1 全体を研削加工テーブルに移載し、研削装置にて表面側保護膜 7 の上面側を研磨してポスト 6 の端面 6a（図 15 参照）を露出させる。

【0006】この後、ウエハ 1 を所定厚にすべく背面側を研磨加工したり、研磨加工した背面側に製品番号やロット番号をマーキングする処理を施す。次いで、この背面側を下向きにしてウエハ 1 をダイシングフレームに装着されたダイシングテープ上に載置した後、図 16 に図示する通り、カットライン 8 に沿ってウエハ 1 をダイシングすることによって、チップに個片化された半導体装置 10 が形成されるようになっている。

【0007】

【発明が解決しようとする課題】ところで、上述した従来の半導体装置 10 では、図 16 に図示した通り、シリコン基板（ウエハ 1）の側面（切断面を含む）や背面が露出した状態となっており、これがチップ破損や露出面からの水分浸透等、信頼性を低下させる要因になる、という問題がある。そこで本発明は、このような事情に鑑みてなされたもので、信頼性を向上することができる半導体装置およびその製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】上記目的を達成するため、請求項 1 に記載の半導体装置は、表面に複数の柱状電極が形成されたシリコン基板と、該シリコン基板の背面を覆う裏面側保護膜と、前記シリコン基板の前記各柱状電極を除く表面および側面を覆うと共に、このシリコ

ン基板を個片に切断した時の切断面を覆うように形成された表面側保護膜とを具備することを特徴とする。

【0009】請求項 8 に記載の半導体装置の製造方法では、シリコン基板の背面を覆う裏面側保護膜を形成する第 1 の工程と、前記シリコン基板を個片化する箇所に切削溝を設け、その後に当該シリコン基板の表面および側面を覆うと共に、前記切削溝を充填する表面側保護膜を形成する第 2 の工程と、前記表面側保護膜が切断面に残るように、前記切削溝より狭い幅でシリコン基板を個片に切断する第 3 の工程とを具備することを特徴とする。

【0010】請求項 16 に記載の半導体装置の製造方法では、シリコン基板の背面を覆う裏面側保護膜を形成する第 1 の工程と、前記シリコン基板をチップに個片化する切削溝を設けた後、個片化されたチップを所定の配置間隔に並び替え、並び替えられた各チップの表面および側面を覆う表面側保護膜を形成する第 2 の工程と、前記表面側保護膜が切断面に残るように、チップ間を切断する第 3 の工程とを具備することを特徴とする。

【0011】本発明による半導体装置は、背面が裏面側保護膜で、表面および側面が表面側保護膜で覆われる為、信頼性が向上する。また、本発明による半導体装置の製造方法では、シリコン基板の背面を覆う裏面側保護膜を形成した後、シリコン基板を個片化する箇所に切削溝を設けておき、その後に当該シリコン基板の表面および側面を覆うと共に、切削溝を充填する表面側保護膜を形成してから該表面側保護膜が切断面に残るように、切削溝より狭い幅でシリコン基板を個片に切断するので、個片化された半導体装置は背面、表面および側面が全て保護膜で覆われることになり、この結果、チップ破損や露出面からの水分浸透等、信頼性を低下させる要因を除去でき、信頼性を向上させ得る。

【0012】

【発明の実施の形態】以下、図面を参照して本発明の実施の一形態について説明する。図 1～図 9 は、実施の一形態による半導体装置の構造およびその製造工程を説明する為の断面図である。これらの図において、上述した従来例と共通する部分には同一の番号を付してある。本発明による製造工程では、先ず図 1 に図示する通り、表面側に複数の接続パッド 2 が形成された厚さ $t1$ のウエハ 1 について、その背面側を切削研磨して厚さ $t2 \approx (1/3 \sim 2/3) t1$ のウエハ 1 に成形する。

【0013】ウエハ 1 の表面側に形成された複数の接続パッド 2 は、工程の最終過程において切断され個片化される各半導体チップの周辺部に設けられているものであり、各半導体チップの接続パッド 2 間に形成された、図示しない集積回路素子に接続されているものである。なお、ウエハ 1 の表面側には該ウエハの全面を覆う、酸化シリコンや窒化シリコン等で形成された保護皮膜 P が形成されており、この保護皮膜 P には上記各接続パッド 2 の中央部を露出する開口部が形成されている。

10

20

30

40

50

【0014】次に、図2に図示するように、切削研磨されたウエハ1の背面側に、所定の膜厚となるよう保護樹脂（例えば、ポリイミド、エポキシ等の有機樹脂材）を塗布して裏面側保護膜11を形成する。裏面側保護膜11は、ポリイミドまたはエポキシ等の樹脂の単層であってもよいが、これら複数の樹脂層の積層構造としても良い。次に、裏面側保護膜11を硬化させ、この後はレーザーによりこの裏面側保護膜11上にロット番号や製品番号などをマーキングする（図3参照）。そして、マーキング完了後には、図4に示すように、ダイシングフレーム（支持部材）20に装着されたダイシングテープ21上に、裏面側保護膜11が対向するようにウエハ1をマウントする。ウエハ1をダイシングテープ21上にマウントしたら、予め定められたカットラインCLに沿ってウエハ1に切削溝1aを刻設するダイシング処理を施す。この際、裏面側保護膜11はハーフカットしても良いし、あるいはフルカットする形態としても構わない。

【0015】ダイシング完了後には、図5に図示する通り、ダイシングテープ21を介してダイシングフレーム20にマウントされた状態のウエハ1に対し、その側面（周囲面）および裏面を覆うと共に、表面側に設けられた各接続パッド2の中央部分を開口させながら、上述した切削溝1aを充填するよう表面を覆う表面側保護膜3を形成する。この表面側保護膜3は、ウエハ1の表面側に形成された保護皮膜Pおよび該保護皮膜Pの開口部から露出する各接続パッド2上に、例えばポリイミド系樹脂材を塗布してスピコートすることにより形成する方法が望ましいが、スピコートに限らず、スキージを用いる印刷法やノズルからのインク吐出による塗布法等適宜な手法を用いることが可能である。

【0016】次に、このようにしてウエハ1の表面に形成された表面側保護膜3を硬化させた後に、側面および上面にフォトリソグロスを塗布し（図示せず）ウエハ1の表面側については該フォトリソグロス（図示せず）パターンニングおよび表面側保護膜3を順次パターンニングして、表面側保護膜3に、前述した従来例と同様、各接続パッド2の中央部を露出する開口部4を形成する。この後、フォトリソグロス剥離する。

【0017】この後、図5中の要部Aを拡大した図6に図示するように、表面側保護膜3に形成された開口部4を介して露出される接続パッド2上に再配線5を形成する。再配線5はフォトリソグロス剥離後の、表面側保護膜3の全面にUBMスパッタ処理等によりUBM層を堆積し、この後、再配線用のフォトリソグロス塗布、硬化し、フォトリソグラフィ技術により、再配線用のフォトリソグロスを図6に図示される再配線が形成されるよう、所定形状の開口を有するパターンニングを施した後、このレジストによって開口された部分に電解メッキを施すことで形成される。なお、この電解メッキにより再配線5を形成する状態では、表面側保護膜3の全表面上に堆積され

たUBM層は、ダイシングフレーム20上に蒸着されたUBM層部分も含めてメッキ電極として残されている。

【0018】このようにして、一端が各接続パッド2に接続され、他端が表面側保護膜3上を、切断により個片化される各半導体チップの中央側に延出される各再配線5を形成した後は、各再配線5上の上記他端上に所定箇所（柱状電極）6を設ける。ポスト6は、図示しないが、例えば100～150μm程度の厚さでポスト形成用のフォトリソグロスを塗布、硬化させた上、各再配線5の他端の中央部を露出する開口部を形成し、この開口部内に電解メッキを施すことで形成される。この電解メッキを施す際、表面側保護膜3の全表面上およびダイシングフレーム20上に蒸着されたUBM層が一方の電極として用いられる。なお、このメッキ処理後にはポスト形成用のフォトリソグロスを剥離しておくと共に、不要部分に蒸着されたUBM層をエッチングにより除去しておく。図6はこの工程が完了した状態の拡大断面図である。

【0019】こうして、図6に図示した構造が形成された後は、図7に図示するように、ポスト6を覆うように、ウエハ1の回路面全体をポリイミド、エポキシ等の樹脂材によってモールドして表面側保護膜7を形成する。表面側保護膜7は、ポリイミド、エポキシ等の単層からなるものでもよいが、これら樹脂層の積層構造としてもよい。この場合、上述せる裏面側保護層11、表面側保護層3および表面側保護膜7は、環境変化に対応する信頼性を確保する上で、主成分が実質的に同一な材料を含む樹脂層で形成することが望ましい。そして、この表面側保護膜7を硬化させ、次に、その上面側を研磨してポスト6の端面6a（図8参照）を露出させる。露出した端面6aについては、その表面の酸化膜を取り除き、そこにハンダ印刷等のメタライズ処理を施す。この後、図9に示すように、切断面に所定厚の表面側保護膜3が残るように切削溝1aの部分を再度ダイシングしてウエハ1をチップに個片化して半導体装置10を形成する。

【0020】以上のように、本発明の実施の一形態によれば、ウエハ1の背面を覆うように裏面側保護膜11を形成してからウエハ1を個片化する箇所に予めダイシングを施して切削溝1aを刻設しておき、その後にウエハ1の表面および側面を覆うと共に、切削溝1aを充填する表面側保護膜3を形成し、続いて再配線5、ポスト6および表面側保護膜7を設けた後、切断面に所定厚の表面側保護膜3が残るように切削溝1a部分を再度ダイシングして半導体装置10を形成するので、個片化された半導体装置10は背面、表面および側面が全て保護膜3、11で覆われることになり、この結果、チップ破損や露出面からの水分浸透等、信頼性を低下させる要因を除去でき、信頼性が向上する。

【0021】また、この発明の実施の形態にあっては、

ダイシングフレーム 20 上に蒸着された UBM 層をメッキ電極として残すようにしたので、従来のように、ウェハ 1 上に別途に電極形成せずとも再配線 5 やポスト 6 を形成する電解メッキ処理を行うことが可能になっている。さらに、この発明の実施の形態では、半導体装置 10 の背面、表面および側面の全てを保護膜 3、11 で覆う為、チップに個片化された半導体装置 10 をトレイに移動する時などのハンドリングが極めて容易になる。

【0022】なお、上述した実施の形態では、表面側に接続パッド 2 が形成されたウェハ 1 の背面側を切削研磨した後に、その切削研磨されたウェハ 1 の背面側に裏面側保護膜 11 を形成し、この裏面側保護膜 11 上にロット番号や製品番号などをレーザーマーキングしてから、ダイシングフレーム 20 にウェハ 1 をマウントする工程としたが（図 4 参照）、これに替えて、図 10 に示すように、切削研磨されたウェハ 1 の背面側にロット番号や製品番号などをレーザーマーキングした後、ダイシングフレーム 20 に装着されたダイシングテープ 21 上に所定の膜厚となるよう保護樹脂（例えば、ポリイミド等の有機樹脂材）を塗布し（図 11 参照）、塗布された保護樹脂の上にウェハ 1 の背面側を貼り合わせて裏面側保護膜 11 を形成する工程としても良い。

【0023】さらに、上述した形態に替えて、表面保護膜 3 の材料として感光性樹脂を用いるようにすれば、表面保護膜 3 を形成する為のフォトリソの塗布、硬化および剥離の各工程を省略することができる。

【0024】また、裏面側保護膜 11 を形成した後のダイシング工程（図 4 参照）において、例えば図 12

（イ）に示すように、ウェハ 1 をダイシングして個片化したら、個片化されたチップの内から良品のみを選別して同図（ロ）または同図（ハ）に図示する形態で並べ替え、この後、図 5 以降に図示した表面保護膜 3、再配線 5、ポスト 6、第 2 の表面側保護膜 7 を形成するようにしても良い。こうした並び替えを行う際にチップ配置間隔を広げる等、任意に設定することが可能となり、図 9 における切削溝 1a の部分を再度ダイシングしてウェハ 1 をチップに個片化して半導体装置 10 を形成する際に、各半導体装置 10 の側面に形成される表面側保護膜 3 の厚さを充分なものとする事ができる。

【0025】また、上述した実施形態では、ウェハ 1 上に再配線 5 を形成し、この再配線 5 上にポスト 6 を形成する半導体装置に関するものとしたため、表面側保護膜を 2 層の積層構造としたが、本発明は、ウェハ 1 の表面側に再配線 5 を形成せずに直接、ポスト 6 を形成する半導体装置にも適用することが可能であり、その場合には、表面側保護膜を単層化することができる。

【0026】

【発明の効果】請求項 1 に記載の半導体装置によれば、背面が裏面側保護膜で、表面および側面が表面側保護膜で覆われる為、装置の信頼性を向上することができる。

請求項 8 に記載の半導体装置の製造方法によれば、シリコン基板の背面を覆う裏面側保護膜を形成した後、シリコン基板を個片化する箇所に切削溝を刻設しておき、その後に当該シリコン基板の表面および側面を覆うと共に、切削溝を充填する表面側保護膜を形成してから該表面側保護膜が切断面に残るように、切削溝より狭い幅でシリコン基板を個片に切断するので、個片化された半導体装置は背面、表面および側面が全て保護膜で覆われることになり、この結果、チップ破損や露出面からの水分浸透等、信頼性を低下させる要因を除去でき、信頼性を向上させることができる。請求項 16 に記載の半導体装置の製造方法によれば、シリコン基板の背面を覆う裏面側保護膜を形成してから、このシリコン基板をチップに個片化する切削溝を設けた後、個片化されたチップを所定の配置間隔に並び替え、並び替えられた各チップの表面および側面を覆う表面側保護膜を形成し、この後に表面側保護膜が切断面に残るように、チップ間を切断するので、並び替えを行う際にチップ配置間隔を任意に設定すれば、最終的に仕上がるチップ寸法を調整することができる。

【図面の簡単な説明】

【図 1】この発明の第 1 の実施形態を説明するための図であり、半導体装置製造工程の最初の状態を示す断面図である。

【図 2】図 1 に続く半導体装置の製造工程を説明する為の断面図である。

【図 3】図 2 に続く半導体装置の製造工程を説明する為の断面図である。

【図 4】図 3 に続く半導体装置の製造工程を説明する為の断面図である。

【図 5】図 4 に続く半導体装置の製造工程を説明する為の断面図である。

【図 6】図 5 に続く半導体装置の製造工程を説明する為の断面図である。

【図 7】図 6 に続く半導体装置の製造工程を説明する為の断面図である。

【図 8】図 8 に続く半導体装置の製造工程を説明する為の断面図である。

【図 9】図 9 に続く半導体装置の製造工程を説明する為の断面図であり、本発明の個片化された半導体装置の完成状態を示すものである。

【図 10】本発明の半導体装置の第 1 の実施形態の変形例を説明するための断面図である。

【図 11】本発明の半導体装置の第 2 の実施形態を説明するための断面図である。

【図 12】本発明の第 1 及び第 2 の実施形態の変形例を説明するための平面図である。

【図 13】従来例の半導体装置の製造方法を説明するための断面図である。

【図 14】図 13 に続く工程を説明するための断面図で

* 3 表面側保護膜（第1の表面側保護膜）

6 ポスト (柱状電極)

7 表面側保護膜（第2の表面側保護膜）

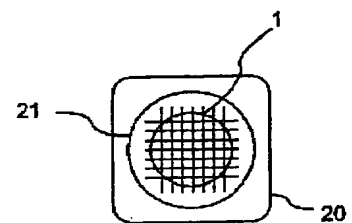
10 半導體裝置

1 1 裏面側保護膜

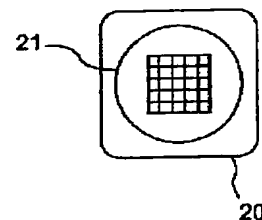
20 ダイシングフレーム

* 21 ダイシングテープ (支持部材)

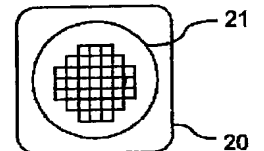
(イ)



(□)



(八)

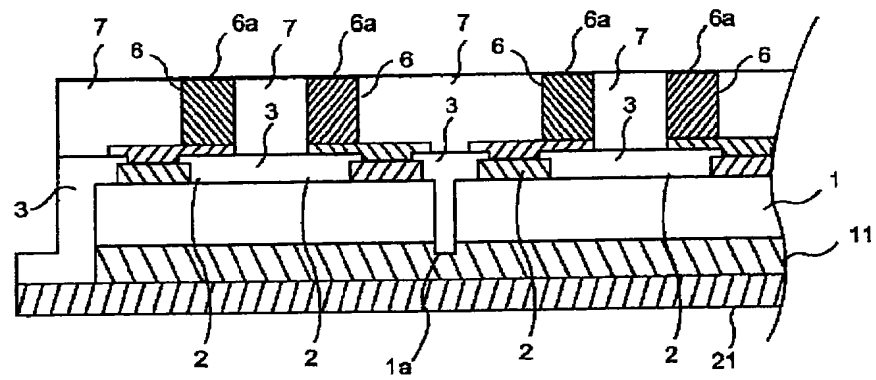


A cross-sectional diagram of a semiconductor device assembly. A substrate 11 is shown at the bottom. On top of it are several layers: a base layer 1, a patterned layer 1a, another base layer 1, and a thin layer 21. A series of vertical pillars or vias connect the top surface to the layer 21. Above these pillars is a conductive layer 3, which is part of a larger assembly labeled A. The entire structure is flanked by side walls 20. A label P points to the interface between the base layer 1 and the patterned layer 1a.

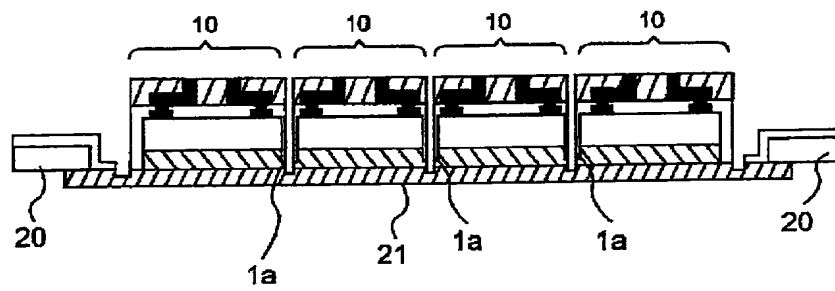
[illegible]

This cross-sectional view shows a semiconductor device with a trench structure. A substrate 11 is at the base, with a layer 2 on top. A trench 1a is formed in the substrate 11, with a layer 21 on its side walls. A layer 1 is on top of the substrate 11, with a layer 2 on top of it. A layer 3 is on top of the layer 2, with a layer 6 on top of it. A layer 5 is on top of the layer 3, with a layer 6 on top of it. A layer 7 is on top of the layer 5, with a layer 6 on top of it. The device is shown in a cross-sectional view, with the trench 1a being a central feature.

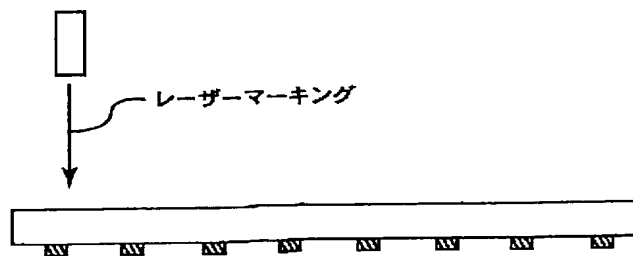
【図8】



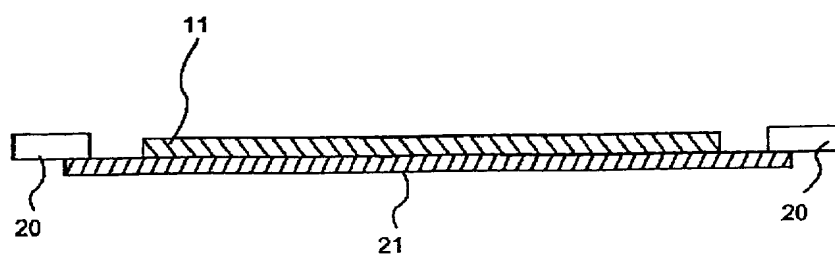
【図9】



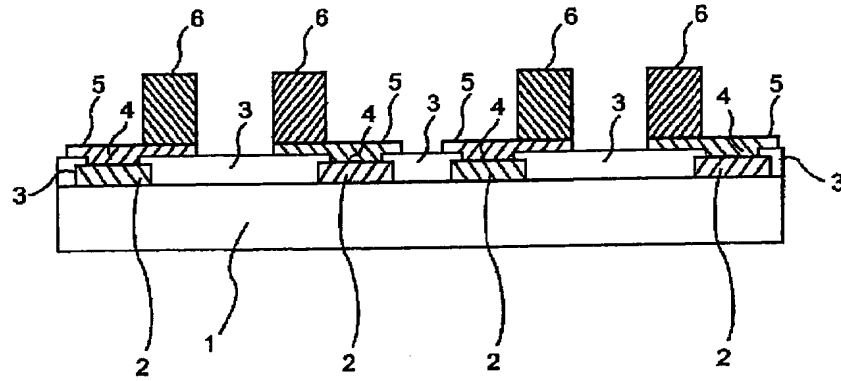
【図10】



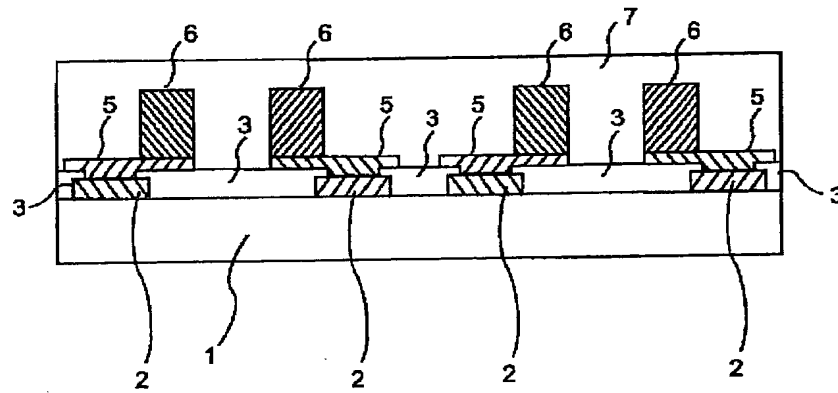
【図11】



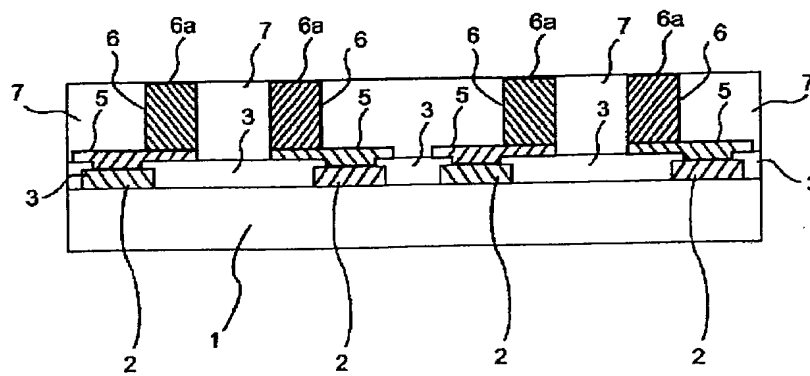
【図13】



【図14】



【図15】



【図16】

